

ADC 用户手册

目录

1	SARADC.....	4
1.1	特性.....	4
1.2	操作步骤.....	5
1.3	寄存器介绍.....	6
2	FSARADC.....	18
2.1	特性.....	18
2.2	SOC 控制.....	19
2.2.1	SOC 触发源控制.....	19
2.2.2	模拟通道的选择.....	21
2.2.3	SOC 优先级.....	21
2.2.4	ADC 转换模式控制.....	24
2.2.5	数据后处理.....	26
2.3	模拟输入和数据输出的转换.....	26
2.4	模拟电路的上电顺序.....	26
2.5	FSARADC 性能参数.....	27
2.6	操作步骤.....	27
2.7	寄存器介绍.....	28
2.7.1	系统时钟域寄存器.....	28
2.7.2	高速时钟域寄存器.....	33
3	历史.....	36

关于本手册

本手册提供了 ADC 中所有模块的描述，包括模块介绍、使用步骤和寄存器等。包括了以下模块：SARADC、FSARADC。

关于一些记数约定

本手册使用了以下通用约定，这些约定在本手册内有效：

- 十六进制数表示为 `suffix'h`。例如：`16'ha301`，表示该数的二进制数位宽为 16，十六进制数形式值为 `a301`。
- 十进制数表示为 `suffix'd`。例如：`2'd3`，表示该数的二进制数位宽为 2，十进制数形式值为 3。
- 二进制数表示为 `suffix'b`。例如：`3b'001`，表示该数的二进制数位宽为 3，二进制数形式值为 `001`。

1 SARADC

TMF6200 系统中集成了 19 路 12bit 精度的 SARADC。其中 saradc0~13 只有 saradc 功能；saradc14~18 除了 SARADC 功能，还增加了 DAC 和 CMP 功能。

saradc 功能的数据通路：从模拟输出的 12bit 结果，

第一步：减去直流分量

减去直流分量 (dc_offset)，结果输出到下一步；

第二步：求平均值

AVERAGE_EN = 1，求 N (AVERAGE_SEL) 个连续输入的平均值，结果输出到下一步；

第三步：降采样

上一步的输出结果根据降采样配置 (DOWNSAMPLE_SEL) 抽取输出到下一步，其他丢弃；

第四步：量化

quantify_en = 1，输入乘以一个无符号的系数，这个系数有效位 16 位，其中 15 位为小数位。输出结果可以选择保留多少位小数 (decimal_width)，结果输出到下一步；

1.1 特性

- (1) 内置 19 通道 12bit 的 SARADC，每通道 156K SPS，分辨率 > 10.5bit (ENOB)。
- (2) SARADC0~13 只有 SARADC 功能，SARADC14~18 既有 SARADC 功能也可以作为 DAC 和 CMP 使用。

SARADC0~13 的模块框图如下：

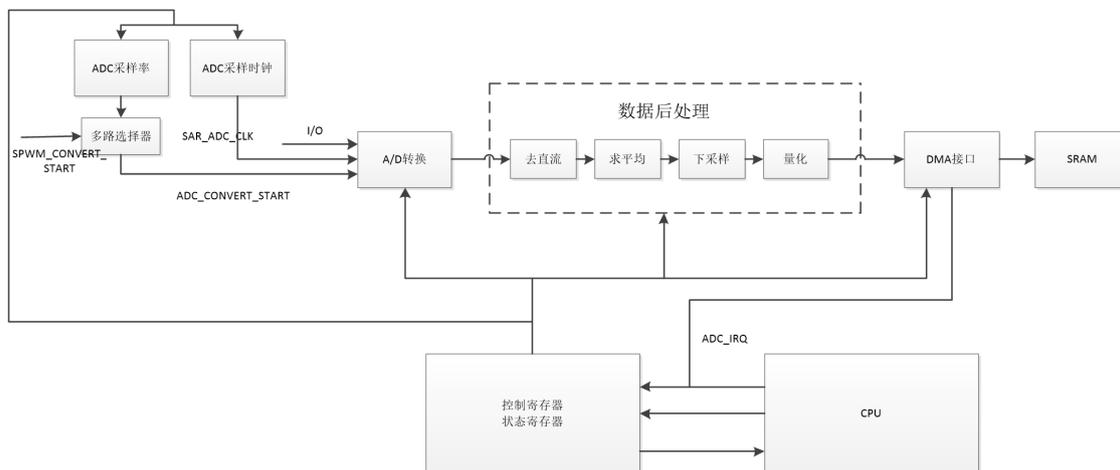


图 1-1 SARADC0~13 的模块框图

SARADC14~18 的模块框图如下所示：

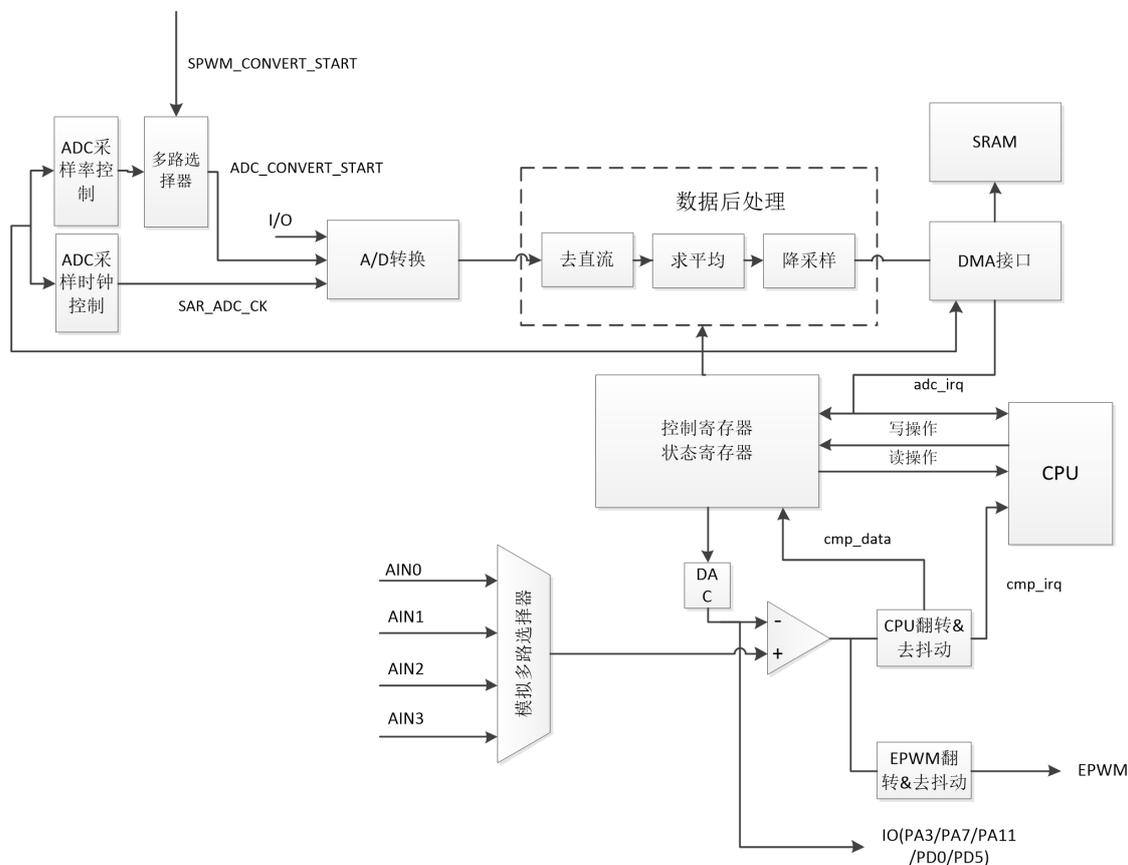


图 1-2 SARADC14~18 的模块框图

1.2 操作步骤

- (1) 使能 SARADC 时钟：将 `saradc_clk_en` (`CLK_CON4[4]`) 置 1（该寄存器详见 `Timer&eflash&CRC&Watchdog&GPIO&SYSCTRL User Guide` 中）。
- (2) 释放 SARADC 软复位：将 `saradc_soft_rst_` (`SYS_CON2[18]`) 置 1（该寄存器详见 `Timer&eflash&CRC&Watchdog&GPIO&SYSCTRL User Guide` 中）。
- (3) 根据不同的需求配置不同的寄存器：
 - 需要 DMA 功能时，配置 DMA 长度：配置 `DMA_LEN` (`SARADC_CDIV_DMALENx[12:0]`)；
 - 配置 DMA 地址：配置 `SARADC_DMASTADDR` 寄存器；
 - 启动 DMA：配置 `SARADC_CON1` 寄存器；
 注意：只有 SARADC0~13 有 DMA 功能。
- (4) 当 PWM 不启动 ADC 转换时：
 - 设置采样率：配置 `CONVERT_DIV` (`SARADC_CDIV_DMALEN[31:14]`)；
 - 启动采样率计数器：设置 `CONVERT_CNT_EN` (`SARADC_CDIV_DMALEN[13:0]`)；
 - 启动 ADC 时配置内部 `convert_cnt` 寄存器：配置 `SARADC_START_POINT` 寄存器；

1SARADC

- (5) 配置控制寄存器： SARADC_COM_ACFG 寄存器。
- (6) 配置直流偏量：配置 DC_OFFSET (SARADC_ACFG[27:16])；配置下采样： DOWNSAMPLE_SEL (SARADC_ACFG[30:28])；求平均时进行以下配置：配置 AVERAGE_SEL (SARADC_ACFG[15:14]) 和 AVERAGE_EN (SARADC_ACFG[13])；根据模拟模块的其他需求进行配置：在 SARADC_ACFG 寄存器中配置。
- (7) 配置量化寄存器： SARADC_QUANTIFY_CONx。
- (8) 当需要中断时配置中断相关寄存器： SARADC_INT_CONTROL0 、 SARADC_INT_CONTROL1 和 SARADC_INT_CONTROL2 寄存器。
- (9) 使能模拟 ADC 功能： ADCEN (SARADC_ACFG[0])。
- (10) 启动 ADC：配置 SARADC_CON 寄存器。
- (11) 等待相应的标志位再进行操作。

1.3 寄存器介绍

1-1 SARADC_CON

地址偏移： 0x00

Bit	名称	复位值	读/写	功能
31:19	保留	00	RW	保留。
18:0	ADC_EN	18'b0	RW	ADC0~ADC18 的使能控制位。 0: 关闭 1: 启动

1-2 SARADC_CON1

地址偏移： 0x18

Bit	名称	复位值	读/写	功能
31:14	保留	18'b0	RW	保留。
13:0	DMA_EN	14'b0	RW	ADC0~ADC13 的 DMA 使能控制位。 0: 关闭 1: 启动

1-3 SARADC_PENDING0

地址偏移： 0x1e0

Bit	名称	复位值	读/写	功能
31:19	保留	13'b0	RW	保留。
18	SAMPLE_DONE18	0	R	ADC18 采样完成的状态位。 0: 未完成 1: ADC 采样完成
17	SAMPLE_DONE17	0	R	ADC17 采样完成的状态位。 0: 未完成 1: ADC 采样完成
16	SAMPLE_DONE16	0	R	ADC16 采样完成的状态位。 0: 未完成 1: ADC 采样完成
15	SAMPLE_DONE15	0	R	ADC15 采样完成的状态位。 0: 未完成

1SARADC

				1: ADC 采样完成
14	SAMPLE_DONE14	0	R	ADC14 采样完成的状态位。 0: 未完成 1: ADC 采样完成
13	SAMPLE_DONE13	0	R	ADC13 采样完成的状态位。 0: 未完成 1: ADC 采样完成
12	SAMPLE_DONE12	0	R	ADC12 采样完成的状态位。 0: 未完成 1: ADC 采样完成
11	SAMPLE_DONE11	0	R	ADC11 采样完成的状态位。 0: 未完成 1: ADC 采样完成
10	SAMPLE_DONE10	0	R	ADC10 采样完成的状态位。 0: 未完成 1: ADC 采样完成
9	SAMPLE_DONE9	0	R	ADC9 采样完成的状态位。 0: 未完成 1: ADC 采样完成
8	SAMPLE_DONE8	0	R	ADC8 采样完成的状态位。 0: 未完成 1: ADC 采样完成
7	SAMPLE_DONE7	0	R	ADC7 采样完成的状态位。 0: 未完成 1: ADC 采样完成
6	SAMPLE_DONE6	0	R	ADC6 采样完成的状态位。 0: 未完成 1: ADC 采样完成
5	SAMPLE_DONE5	0	R	ADC5 采样完成的状态位。 0: 未完成 1: ADC 采样完成
4	SAMPLE_DONE4	0	R	ADC4 采样完成的状态位。 0: 未完成 1: ADC 采样完成
3	SAMPLE_DONE3	0	R	ADC3 采样完成的状态位。 0: 未完成 1: ADC 采样完成
2	SAMPLE_DONE2	0	R	ADC2 采样完成的状态位。 0: 未完成 1: ADC 采样完成
1	SAMPLE_DONE1	0	R	ADC1 采样完成的状态位。 0: 未完成

1SARADC

				1: ADC 采样完成
0	SAMPLE_DONE0	0	R	ADC0 采样完成的状态位。 0: 未完成 1: ADC 采样完成

1-4 SARADC_PENDING1

地址偏移: 0x1e4

Bit	名称	复位值	读/写	功能
31:14	保留	18'b0	RW	保留。
13	DMA_HALF_DONE13	0	R	ADC13 的 DMA 半完成状态位。 0: 未完成 1: DMA 半完成
12	DMA_HALF_DONE12	0	R	ADC12 的 DMA 半完成状态位。 0: 未完成 1: DMA 半完成
11	DMA_HALF_DONE11	0	R	ADC11 的 DMA 半完成状态位。 0: 未完成 1: DMA 半完成
10	DMA_HALF_DONE10	0	R	ADC10 的 DMA 半完成状态位。 0: 未完成 1: DMA 半完成
9	DMA_HALF_DONE9	0	R	ADC9 的 DMA 半完成状态位。 0: 未完成 1: DMA 半完成
8	DMA_HALF_DONE8	0	R	ADC8 的 DMA 半完成状态位。 0: 未完成 1: DMA 半完成
7	DMA_HALF_DONE7	0	R	ADC7 的 DMA 半完成状态位。 0: 未完成 1: DMA 半完成
6	DMA_HALF_DONE6	0	R	ADC6 的 DMA 半完成状态位。 0: 未完成 1: DMA 半完成
5	DMA_HALF_DONE5	0	R	ADC5 的 DMA 半完成状态位。 0: 未完成 1: DMA 半完成
4	DMA_HALF_DONE4	0	R	ADC4 的 DMA 半完成状态位。 0: 未完成 1: DMA 半完成
3	DMA_HALF_DONE3	0	R	ADC3 的 DMA 半完成状态位。 0: 未完成 1: DMA 半完成
2	DMA_HALF_DONE2	0	R	ADC2 的 DMA 半完成状态位。

1SARADC

				0: 未完成 1: DMA 半完成
1	DMA_HALF_DONE1	0	R	ADC1 的 DMA 半完成状态位。 0: 未完成 1: DMA 半完成
0	DMA_HALF_DONE0	0	R	ADC0 的 DMA 半完成状态位。 0: 未完成 1: DMA 半完成

1-5 SARADC_PENDING2

地址偏移: 0x1e8

Bit	名称	复位值	读/写	功能
31:14	保留	18'b0	RW	保留。
13	DMA_FULL_DONE13	0	R	ADC13 的 DMA 已完成状态位。 0: 未完成 1: DMA 已完成
12	DMA_FULL_DONE12	0	R	ADC12 的 DMA 已完成状态位。 0: 未完成 1: DMA 已完成
11	DMA_FULL_DONE11	0	R	ADC11 的 DMA 已完成状态位。 0: 未完成 1: DMA 已完成
10	DMA_FULL_DONE10	0	R	ADC10 的 DMA 已完成状态位。 0: 未完成 1: DMA 已完成
9	DMA_FULL_DONE9	0	R	ADC9 的 DMA 已完成状态位。 0: 未完成 1: DMA 已完成
8	DMA_FULL_DONE8	0	R	ADC8 的 DMA 已完成状态位。 0: 未完成 1: DMA 已完成
7	DMA_FULL_DONE7	0	R	ADC7 的 DMA 已完成状态位。 0: 未完成 1: DMA 已完成
6	DMA_FULL_DONE6	0	R	ADC6 的 DMA 已完成状态位。 0: 未完成 1: DMA 已完成
5	DMA_FULL_DONE5	0	R	ADC5 的 DMA full done pending 0: 未完成 1: DMA 已完成
4	DMA_FULL_DONE4	0	R	ADC4 的 DMA 已完成状态位。 0: 未完成 1: DMA 已完成

1SARADC

3	DMA_FULL_DONE3	0	R	ADC3 的 DMA 已完成状态位。 0: 未完成 1: DMA 已完成
2	DMA_FULL_DONE2	0	R	ADC2 的 DMA 已完成状态位。 0: 未完成 1: DMA 已完成
1	DMA_FULL_DONE1	0	R	ADC1 的 DMA 已完成状态位。 0: 未完成 1: DMA 已完成
0	DMA_FULL_DONE0	0	R	ADC0 的 DMA 已完成状态位。 0: 未完成 1: DMA 已完成

1-6 SARADC_PENDING0_CLR

地址偏移: 0x1ec

Bit	名称	复位值	读/写	功能
31:14	保留	18'b0	RW	保留。
13:0	SAMPLE_DONE_CLR	13'b0	WO	清除 ADC0~ADC13 采样完成的状态。写 1 清 0。

1-7 SARADC_PENDING1_CLR

地址偏移: 0x1f0

Bit	名称	复位值	读/写	功能
31:14	保留	18'b0	RW	保留。
13:0	HALF_DONE_CLR	13'b0	WO	清除 ADC13~ADC0 的 DMA 半完成的状态, 写 1 清 0。

1-8 SARADC_PENDING2_CLR

地址偏移: 0x1f4

Bit	名称	复位值	读/写	功能
31:14	保留	18'b0	RW	保留。
13:0	FULL_DONE_CLR	13'b0	WO	ADC0~ADC13 DMA 全完成的的中断使能位, 写 1 清除 ADC 全完成的状态。

1-9 SARADC_INT_CONTROL0

地址偏移: 0x1f8

Bit	名称	复位值	读/写	功能
31:19	保留	13'b0	RW	保留。
18:0	SAMPLE_DONE_INTEN	19'b0	RW	ADC0~ADC18 采样完成的的中断使能位。 0: 不使能 1: 使能

1-10 SARADC_INT_CONTROL1

地址偏移: 0x1fc

Bit	名称	复位值	读/写	功能
31:14	保留	18'b0	RW	保留。
13:0	DMA_HALF_DONE	14'b0	RW	ADC0~ADC13 的 DMA 半完成中断使能位。

1SARADC

	_INTEN			0: 不使能 1: 使能
--	---------------	--	--	-----------------

1-11 SARADC_INT_CONTROL2

地址偏移: 0x200

Bit	名称	复位值	读/写	功能
31:14	保留	18'b0	RW	保留。
13:0	DMA_FULL_DONE_INTEN	14'b0	RW	ADC0~ADC13 的 DMA 全完成中断使能位。 0: 不使能 1: 使能

1-12 SARADC_CDIV_DMALEN0~SARADC_CDIV_DMALEN13

 地址偏移: 0X20/0X24/0X28/0X2C/0X30/0X34/0X38/0X3C/0X40/0X44/0X48/0X4C/0X50/
0X54

Bit	名称	复位值	读/写	功能
31:14	CONVERT_DIV	18'b0	RW	采样率控制位。系统时钟以 K MHz 为单位, 则: 采样率 = K MHz / CONVERT_DIV
13	CONVERT_CNT_EN	0	RW	采样率计数器使能位。 0: 不使能 1: 使能
12:0	DMA_LEN	16'b0	RW	DMA 长度配置, 单位为 byte。

1-13 SARADC_CDIV_DMALEN14~SARADC_CDIV_DMALEN18

地址偏移: 0X58/0X5C/0X60/0X64/0X68

Bit	名称	复位值	读/写	功能
31:14	CONVERT_DIV	18'b0	RW	采样率控制位。如果系统时钟以 K MHz 为单位, 则: 采样率 = K MHz / CONVERT_DIV
13	CONVERT_CNT_EN	0	RW	采样率计数器使能位。 0: 不使能 1: 使能
12:0	保留	16'b0	RW	保留。

1-14 SARADC_DMASTADDR0~SARADC_DMASTADDR13

 地址偏移: 0X70/0X74/0X78/0X7C/0X80/0X84/0X88/0X8C/0X90/0X94/0X98/0X9C/0XA0/
0XA4

Bit	名称	复位值	读/写	功能
31:0	DMA_START_ADDR	32'b0	RW	DMA 首地址。

1SARADC
1-15 SARADC_COM_ACFG

地址偏移: 0X14

Bit	名称	复位值	读/写	功能
31:28	保留	0000	RW	保留。
27:16	SARADC_K	12'b0	RW	模拟测试数据。
15:14	保留	00	RW	保留。
13:12	保留	00	RW	不可更改此值。
11:8	保留	0000	RW	不可更改此值。
7:0	CLOCK_DIV	8'b0	RW	模拟时钟分频控制位。 ADC 时钟频率= 系统时钟频率/CLOCK_DIV

1-16 SARADC_ACFG0~13

地址偏移: 0xB0/0xB4/0xB8/0xBC/0xC0/0xC4/0xC8/0xCC/0xD0/0xD4/0xD8/0xDC/0xE0/0xE4

Bit	名称	复位值	读/写	功能
31	保留	0	RW	保留。
30:28	DOWNSAMPLE_SEL	000	RW	ADC 采样数据下采样率 000: 不发生下采样 001: 下采样 2 010: 下采样 3 011: 下采样 4 100: 下采样 5 101: 下采样 6 110: 下采样 7 111: 下采样 8
27:16	DC_OFFSET	12'b0	RW	ADC 数据将自动减去该寄存器的值。
15:14	AVERAGE_SEL	00	RW	ADC 采样数据平均的选择位。 00: 2 个连续的采样数据求平均 01: 4 个连续的采样数据求平均 10: 8 个连续的采样数据求平均 11: 保留
13	AVERAGE_EN	0	RW	ADC 采样数据求平均的使能位。 0: 关闭 1: 启动
12	保留	0	RW	保留。
11:9	保留	000	RW	不可更改此值
8:5	保留	0000	RW	不可更改此值。
4	STIMESSET	1	RW	采样时间选择位。 0: 2 个时钟周期 1: 4 个时钟周期
3	保留	0	RW	不可更改此值。
2	保留	0	RW	不可更改此值。
1	KSEL	0	RW	SARADC's sub_dac 代码选择位。 0: 用 SAR 逻辑输出数据

1SARADC

				1: 用 SARADC_K[11:0]
0	ADEN	0	RW	模拟 ADC 使能位。 0: 关闭 1: 启动

1-17 SARADC_QUANTIFY_CON0~13

 地址偏移: 0x148/0x14C/0x150/0x154/0x158/0x15C/0x160/0x164/0x168/0x16C/0x170/
 0x174/0x178/0x17C

Bit	名称	复位值	读/写	功能
31:16	quantify_coef	16'b0	RW	量化系数, 无符号数。16 位数据, 其中 15 位为小数位宽。
15:4	保留	12'b0	RW	保留。
3:1	decimal_width	0000	RW	量化输出数据保留的小数位宽。 000: 0 位小数位宽 ... 111: 7 位小数位宽
0	quantify_en	0	RW	ADC 采样数据量化使能位。 0: 不使能 1: 使能

1-18 SARADC_START_POINT0~18

地址偏移: 0x194~0x1DC

Bit	名称	复位值	读/写	功能
31:18	保留	12'b0	RW	保留。
17:0	START_POINT	18'b0	RW	将计数值转换为此值的转换启动位。

1-19 SARADC_ACFG14~18

地址偏移: 0xE8~0xF8

Bit	名称	复位值	读/写	功能
31	保留	0	RW	保留。
30:28	DOWNSAMPLE_SEL	000	RW	ADC 采样数据下采样率选择位。 000: 不发生下采样 001: 下采样 2 010: 下采样 3 011: 下采样 4 100: 下采样 5 101: 下采样 6 110: 下采样 7 111: 下采样 8
27:16	DC_OFFSET	12'b0	RW	ADC 数据会自动减去该寄存器。
15:14	AVERAGE_SEL	00	RW	ADC 采样数据进行求平均的选择控制位。 00: 2 个连续的采样数据进行求平均 01: 4 个连续的采样数据进行求平均 10: 8 个连续的采样数据进行求平均 11: 保留

1SARADC

13	AVERAGE_EN	0	RW	ADC 采样数据求平均的使能位。 0 : 关闭 1 : 启动
12:10	保留	000	RW	保留。
9:6	AUX_EN	0000	RW	在 ADC 或 CMP 模式下，传入 CMP 的 AIN* 信号选择。 0x1: 选择 AIN0; 0x2: 选择 AIN1; 0x4: 选择 AIN2; 0x8: 选择 AIN3;
5:3	ANALOG_SET	000	RW	模拟设置。
2	CMPEN	0	RW	Comparator 使能控制位。 0: 不使能 1: 使能
1	DACEN	0	RW	模拟 DAC 使能位。 0: 不使能 1: 使能
0	ADCEN	0	RW	模拟 ADC 使能位。 0: 不使能 1: 使能

1-20 DACCMP_CON14~18

地址偏移: 0x130~0x140

Bit	名称	复位值	读/写	功能
31:29	保留	000	RW	保留。
28	DAC_DONE_CLR	0	RW	读返回 0 0: 无任何效果 1: 清除 DAC_DONE
27:16	保留	12'b0	RW	保留。
15	DAC_DONE	0	RW	DAC 数据输出完成标志位。 读操作: 0: 未完成 1: 完成 写操作: 0: 无任何效果 1: 清 0
14	CMP_INT_EN	0	RW	Comparator 中断使能位。 0: 不使能 1 : 使能 , 如果 CMP_TO_CPU (DACCMP_CON[10]) 置 1, CPU 将接收一个中断
13	DAC_INT_EN	0	RW	DAC 中断使能位。
12	CMPTIO_INV	0	RW	CMP_TO_IO 翻转使能位。

1SARADC

				0: 不发生翻转 1: 翻转
11	CMPTIOIO_SOURCE	0	RW	CMP_TO_IO 源选择位。 0: 模拟输出 1: 去抖动输出
10	CMP_TO_CPU	0	RW	Comparator 输出到 CPU 的控制位。
9	CMPTOCPU_INV	0	RW	CMP_TO_CPU 翻转使能位。 0: 不发生翻转 1: 翻转
8	CMPTOCPU_SOURCE	0	RW	CMP_TO_CPU 源选择位。 0: 模拟输出 1: 去抖动输出
7	cmp_to_data_source	0	RW	CMP_TO_DATA 源选择位。 0: 模拟输出 1: 去抖动输出 注意: 如果 CMP 为 0: 选择信号从 DACCMP_DATA0 到比较器 如果 CMP 为 1: 选择信号从 DACCMP_DATA1 到比较器
6:0	保留	7'b0	RW	保留。

1-21 DACCMP_DEBOUNCE14~18

地址偏移: 0x204~0x214

Bit	名称	复位值	读/写	功能
31:16	保留	16'b0	RW	保留。
15:0	CMP_DEBOUNCE	16'b0	RW	比较器输出去抖动选择位。 0: 关闭去抖动 1: CMP 输入变化的持续时间需要大于 2 个系统时钟, 才会影响到输出 X: CMP 输入变化的持续时间需要大于 X+1 个系统时钟, 才会影响到输出 ... 65535: CMP 输入变化的持续时间需要大于 65536 个系统时钟, 才会影响到输出

1SARADC
1-22 SARADC_DATA_10

地址偏移: 0x100

Bit	名称	复位值	读/写	功能
31:16	SARADC_DATA1	16'b0	RW	ADC1 的最终采样数据
15:0	SARADC_DATA0	16'b0	RW	ADC0 的最终采样数据

1-23 SARADC_DATA_32

地址偏移: 0x104

Bit	名称	复位值	读/写	功能
31:16	SARADC_DATA3	16'b0	RW	ADC3 的最终采样数据
15:0	SARADC_DATA2	16'b0	RW	ADC2 的最终采样数据

1-24 SARADC_DATA_54

地址偏移: 0x108

Bit	名称	复位值	读/写	功能
31:16	SARADC_DATA5	16'b0	RW	ADC5 的最终采样数据
15:0	SARADC_DATA4	16'b0	RW	ADC4 的最终采样数据

1-25 SARADC_DATA_76

地址偏移: 0x10C

Bit	名称	复位值	读/写	功能
31:16	SARADC_DATA7	16'b0	RW	ADC7 的最终采样数据
15:0	SARADC_DATA6	16'b0	RW	ADC6 的最终采样数据

1-26 SARADC_DATA_98

地址偏移: 0x110

Bit	名称	复位值	读/写	功能
31:16	SARADC_DATA9	16'b0	RW	ADC9 的最终采样数据
15:0	SARADC_DATA8	16'b0	RW	ADC8 的最终采样数据

1-27 SARADC_DATA_1110

地址偏移: 0x114

Bit	名称	复位值	读/写	功能
31:16	SARADC_DATA11	16'b0	RW	ADC11 的最终采样数据
15:0	SARADC_DATA10	16'b0	RW	ADC10 的最终采样数据

1-28 SARADC_DATA_1312

地址偏移: 0x118

Bit	名称	复位值	读/写	功能
31:16	SARADC_DATA13	16'b0	RW	ADC13 的最终采样数据
15:0	SARADC_DATA12	16'b0	RW	ADC12 的最终采样数据

1-29 SARADC_DATA_1514

地址偏移: 0x11C

Bit	名称	复位值	读/写	功能
31:16	SARADC_DATA15	16'b0	RW	ADC15 的最终采样数据
15:0	SARADC_DATA14	16'b0	RW	ADC14 的最终采样数据

1SARADC

1-30 SARADC_DATA_1716

地址偏移: 0x120

Bit	名称	复位值	读/写	功能
31:16	SARADC_DATA17	16'b0	RW	ADC17 的最终采样数据
15:0	SARADC_DATA16	16'b0	RW	ADC16 的最终采样数据

1-31 SARADC_DATA_xx18

地址偏移: 0x124

Bit	名称	复位值	读/写	功能
31:16	保留	16'b0	RW	保留。
15:0	SARADC_DATA18	16'b0	RW	ADC18 的最终采样数据

2 FSARADC

这是高速 SARADC (FSARADC) 控制器模块, 主要包括了 2 个采样保持电路和一个 12bit 的模数转换器。FSARADC 支持 16 个转换通道, 每个转换通道称为一个 ADC SOC (Start-Of-Conversions)。采样保持电路可以对两路输入进行同时采样也可进行串行连续采样。每个转换通道可以配置独立的模拟输入和采样触发源, 每个触发脉冲可以启动一次采样和转换。

2.1 特性

FSARADC 模块功能包括以下:

- (1) 双采样保持电路 (以下称为 A, B 采样保持电路)。
- (2) 支持 A 和 B 同时采样和串行连续采样。
- (3) 支持最多 14 路多路复用的模拟输入。
- (4) 支持 16 个 SOC, 每个 SOC 都可配置触发源和模拟输入。
- (5) 可配置每个 SOC 的转换优先级。
- (6) 每个 SOC 都有可单独寻址的结果寄存器。
- (7) 支持多种 SOC 触发源:
 - CPU 或软件触发源;
 - 高达 15 个 EPWM/SPWM/SVPWM 触发源;
 - 内部定时器溢出触发源;
- (8) 每个 SOC 都支持 DMA。
- (9) 多个中断源:
 - 当某个 SOC 转换结束会产生一个中断;
 - 当某个 SOC 的 DMA FIFO 达到半满会产生一个中断;
 - 当某个 SOC 的 DMA FIFO 全满会产生一个中断;
- (10) 支持数据后处理
 - 直流偏移量的补偿;
 - 简单的数据平均;
 - 简单的数据下采样;
 - 可完成系数可配置的乘法;

模块框图如下：

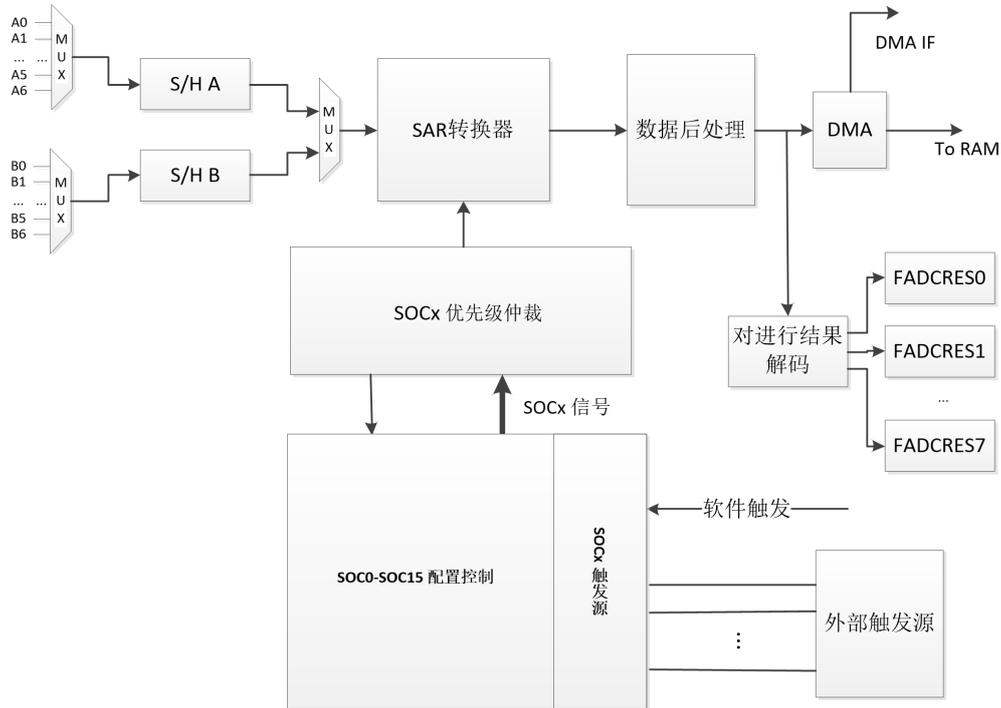


图 2-1 FSARADC 的模块框图

2.2 SOC 控制

FSARADC 最多支持 16 路的 SOC，其主要功能包括如下：

- (1) 通过 FADCFSRSOCCONn(n=0...7)寄存器的 smp_win0/1[6:0]对采样保持窗口时间进行控制。
- (2) SOC 触发信号选择，在 FADCFSRSOCCONn(n=0...7)寄存器中的 trisel[3:0] 选择触发 SOC 的输入信号源。
- (3) ADC 模拟输入通道选择：FADCFSRSOCCONn(n=0...7)寄存器中的 chsel[3:0]。
- (4) 产生 SOC 触发溢出标识信号，当上一个 SOC 触发没有处理完，又来了一个 SOC 触发信号，这会导致丢失一次转换数据。当出现这样情况，SOC 溢出信号 socovf 会设为 1。
- (5) 优先级控制：仲裁 16 路 SOC，除同步采样模式外，同一时间仅有一路优先级最高的有效。
- (6) 控制两个相邻的 SOC（SOC（2n）和 SOC（2n+1））同步采样或连续采样。

2.2.1 SOC 触发源控制

SOC 通道的每次转换都由触发源控制，并且每路 SOC 都有自己的控制寄存器用于转换触发。

转换触发的模块框图如下：

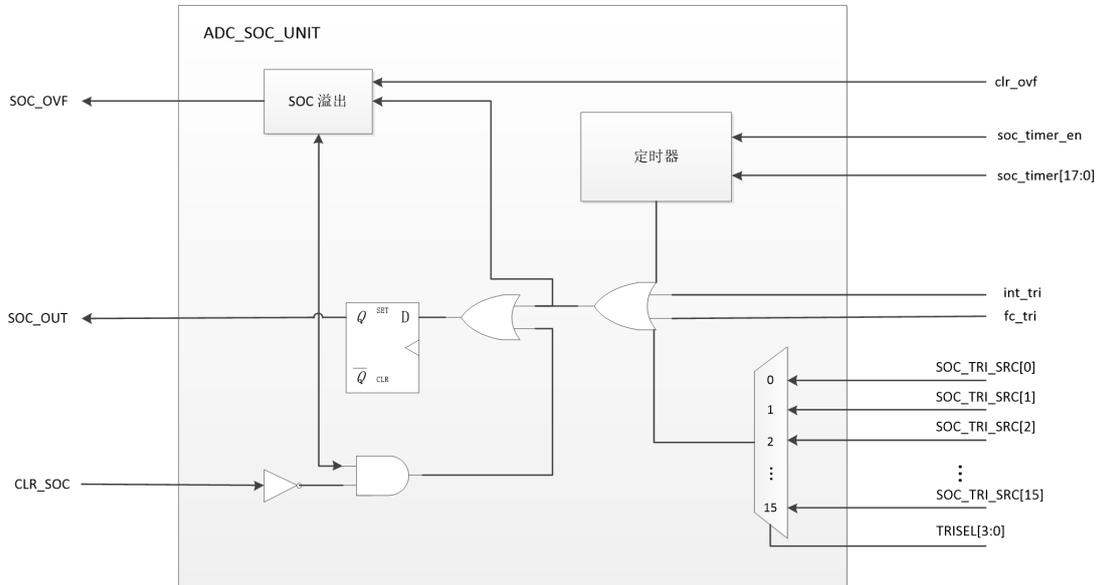


图 2-2 SOC 触发源的控制

有三种类型的 SOC 触发源：

- CPU 或软件触发源；
- 最多 15 个 EPWM/SPWM/SVPWM 的触发源；
- 内部定时器溢出触发源；

CPU 或软件触发源由 FADC_SFR_SOC_FLAG[31:16] 控制。由 FADC_SFR_SOC_CONn 寄存器的 trisel0/1 [3: 0] 控制来自 EPWM / SPWM / SVPWM 的硬连线连接触发。配置如下表所示：

trisel0/1[3:0]	触发源
0	Reserved
1	SVPWM
2	SPWM and EPWM0_A
3	EPWM1_A
4	EPWM2_A
5	EPWM3_A
6	EPWM4_A
7	EPWM5_A
8	EPWM6_A
9	EPWM0_B
10	EPWM1_B
11	EPWM2_B
12	EPWM3_B
13	EPWM4_B
14	EPWM5_B

15	EPWM6_B
----	---------

每路 SOC 都有一个内部定时器溢出触发源。相关的寄存器是 FADCFSR_{SOCTIMERn}(n=0..15)。

当前一个 SOC_x 触发源还没处理并产生一个新的 SOC_x 触发信号时（和前一个未处理的 SOC 信号相同），后一个触发信号将丢失，只能发生一个转换。在这种情况下，SOC 溢出信号 socovf 将被置 1。

同步采样模式下的 SOC (2n) 和 SOC (2n+1)，这对 SOC 可以用相同的或不同的触发源。

2.2.2 模拟通道的选择

在每个 SOC 转换通道中 chselx[3:0] 可以分别配置模拟输入。14 个模拟通道被分成 A 和 B 两组，每一组都使用相同的采样电路。

模拟通道	chselx[3:0]	IO PIN
A0	0	SARADC0
A1	1	SARADC1
A2	2	SARADC2
A3	3	SARADC3
A4	4	SARADC4
A5	5	SARADC5
A6	6	SARADC6
B0	8	SARADC13
B1	9	SARADC12
B2	10	SARADC11
B3	11	SARADC10
B4	12	SARADC9
B5	13	SARADC8
B6	14	SARADC7

在同步采样的模式下，同时采样的 2 路 SOC 通道的模拟输入需要满足下列情况：一路 SOC 通道的模拟输入来自采样保持器 A，另一路 SOC 通道的模拟输入来自采样保持器 B，并且它们的编号相同。chselx[3:0] 的范围是 0~6。例如，如果 SOC0 和 SOC1 都设置为同步采样模式，SOC0 的模拟输入设置为 chsel0[3:0] = 3 和 A3，那么就需要设置 SOC1 为 chsel1[3:0] = 3 和 B3。

2.2.3 SOC 优先级

SOC 优先级控制有两个模式：

- (1) 默认优先级 (Round-robin)
- (2) 高优先级控制

2.2.3.1 默认优先级（Round-robin）

默认优先级为 Round-robin。默认情况下，Round-robin 的指针指向 SOC15，所以 SOC 编号越低，优先级越高。SOC0 优先级最高，SOC15 优先级最低。当完成 SOCn 的转换后，Round-robin 的指针会移向相应的 SOCn，而 SOC (n+1) 优先级变为最高。并且优先级顺序为（从高到低）：SOC(n+1), SOC(n+2),...SOC15, SOC0, SOC1,...SOC(n)。

下列是有关 Round-robin 优先级的例子：

复位后，SOC0 优先级最高；

SOC7 接收触发信号；

SOC7 配置通道立即发生转换；

RRPOINTER 变为指向 SOC7；

SOC8 优先级最高；

A. SOC2 和 SOC12 同时触发；

先执行 SOC12 对应的转换；

B. RRPOINTER 变为指向 SOC12；

SOC2 通道优先级最高，进行相应的转换；

C. RRPOINTER 变为指向 SOC2；

SOC3 优先级最高。

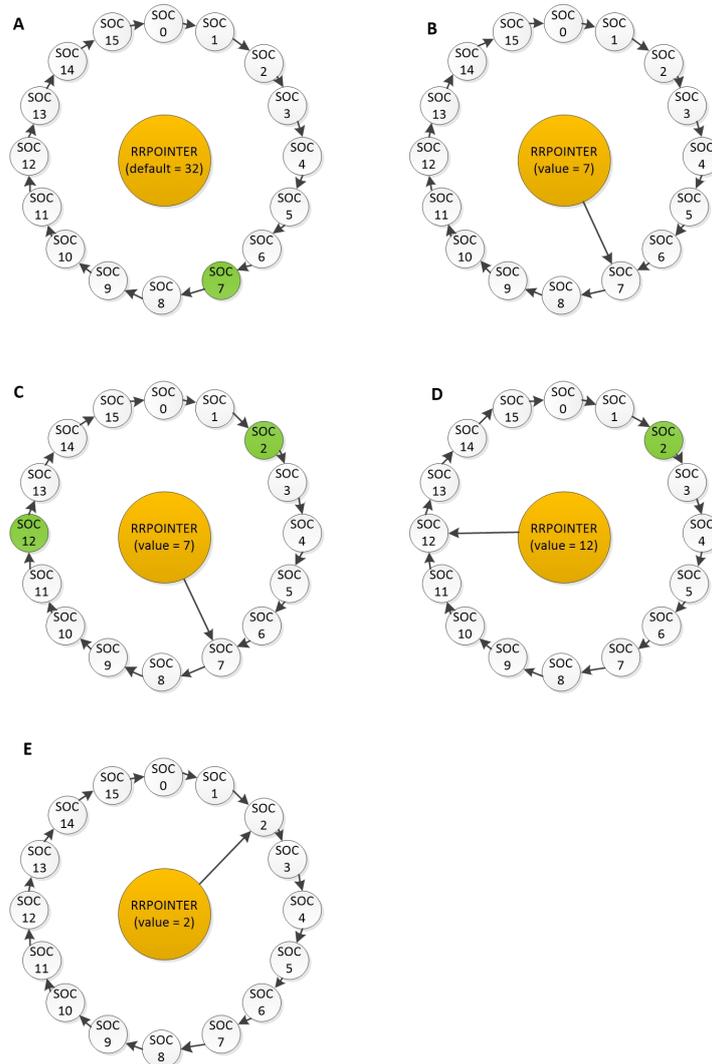


图 2-3 默认优先级举例

2.2.3.2 高优先级

可以通过寄存器 `soc_hpri[4:0]` (`FADCFSRSOCCON8[24:28]`), 对某几路 SOC 进行优先级控制。若 `soc_hpri[4:0]=n`, 表示 `SOC0~SOC(n-1)` 的优先级高于 `SOCn~SOC15`。例如, 当 `n=4`; `SOC0,SOC1,SOC2,SOC3` 定义为高优先级, `SOC0` 的优先级最高; 而 `SOC4~SOC15` 的优先级则遵循默认优先级。当 `SOCPRIORITY = 4` 时的优先级例子如下所示:

- A. 复位后, `SOC0` 优先级最高;
`SOC7` 接收触发信号;
立即转换 `SOC7` 对应的转换通道;
- B. `RRPOINTER` 变为指向 `SOC7`;
由于遵循默认优先级, 在 `SOC4-SOC15` 中, `SOC8` 优先级最高;
- C. `SOC2` 和 `SOC12` 同时触发转换;
`SOC12` 处于挂起状态, 先执行 `SOC2` 对应的转换通道;
- D. `RRPOINTER` 保持指向 `SOC7`;

2 FSARADC

SOC12 对应转换通道开始 A/D 转换；

E. RRPOINTER 变为指向 SOC12；

由于遵循默认优先级，在 SOC4-SOC15 中，此时 SOC13 优先级最高；

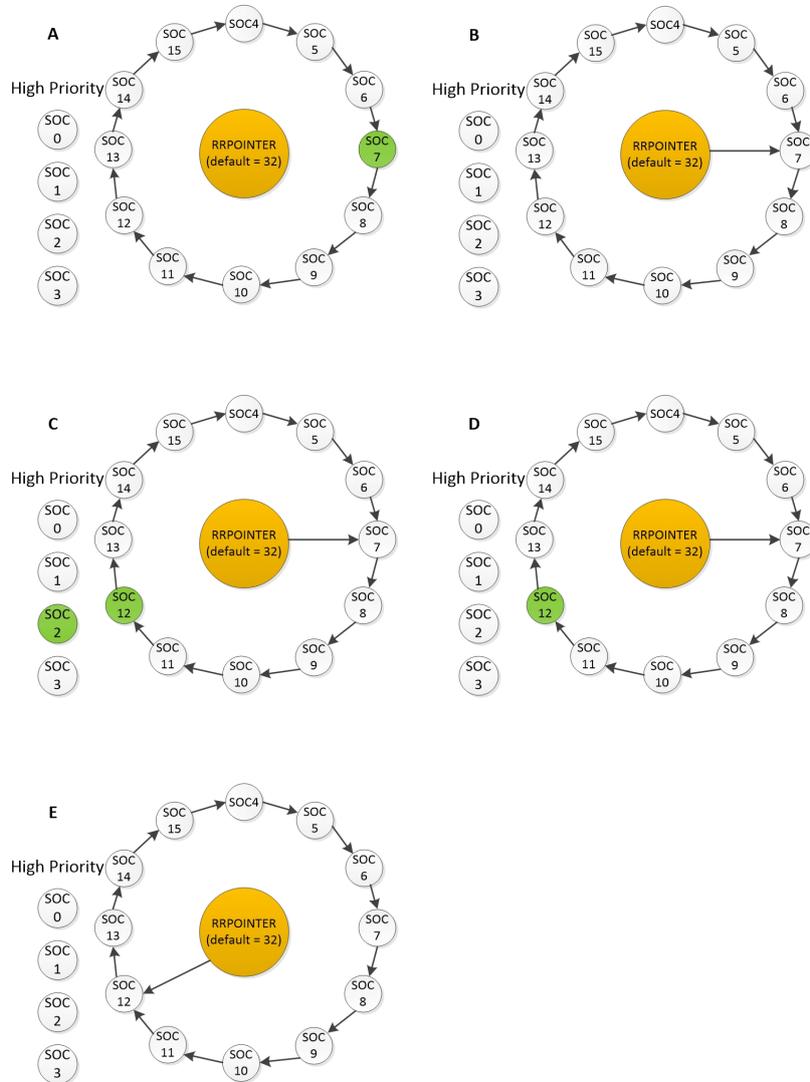


图 2-4 高优先级例子

2.2.4 ADC 转换模式控制

FSARADC 可以有 2 种模式工作：

- (1) 串行采样（非同步采样）模式；
- (2) 同步采样模式；

2 FSARADC

2.2.4.1 串行采样（非同步采样）模式

在该模式中，FSARADC 可以轮流使用两个采样保持电路，按优先级通过一个分时多路复用 SAR 转换器转换不同 SOC 通道的数据。下图为串行采样模式下的时序图：

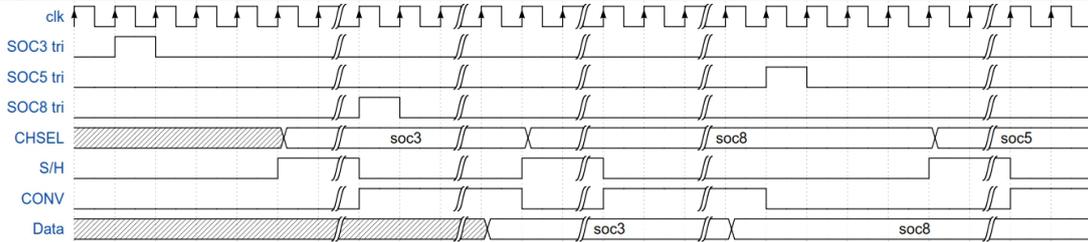


图 2-5 串行采样时序图

2.2.4.2 同步采样模式

在该模式下，成对的 SOC 的两个模拟输入（一个来自 Ax，一个来自 Bx）会被同时采样，SAR 转换器再串行转换采样到的数据。同步采样模式下成对的 SOC 必须是连续的，如 SOC (2n) 和 SOC (2n+1)。并且转换时会先转换 SOC (2n) 通道触发的数据再转换 SOC (2n+1) 通道触发的数据。下列是同步采样模式下的时序图例子：

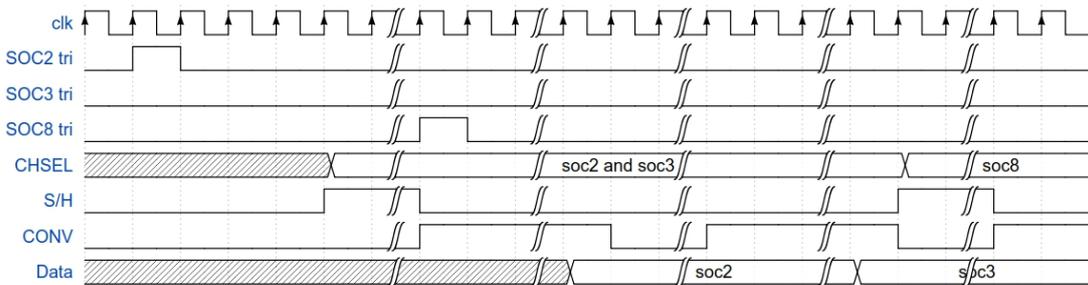


图 2-6 同步采样时序图

2.2.5 数据后处理

数据后处理有 4 种类型：

- (1) 去直流 (dc offset)：由寄存器配置直流偏移 (dc offset) 的值，位宽为 12bit。通过减法器，ADC 转换值与 dc offset 值进行相减，以消除 dc offset。目前仅高 8 位有效，低 4 位应该设置为 0。
- (2) 简单的样点平均：将同一 SOC 的数据进行求平均，支持将采样数据进行 2/4/8 求平均。
- (3) 降采样：将每路 SOC 的数据进行降采样，即将 SOC 的 ADC 样点进行计数，每隔 1-7 个样点才进行一次抽取输出。
- (4) 系数可配置的乘法：该功能在 FADCPPROC1CON0~FADCPPROC1CON15 中配置，根据需要为 FSARADC 转换后的数据配置相应的系数。该功能需要将 quantify_en (FADCPPROC1CONx[0]) 置 1。

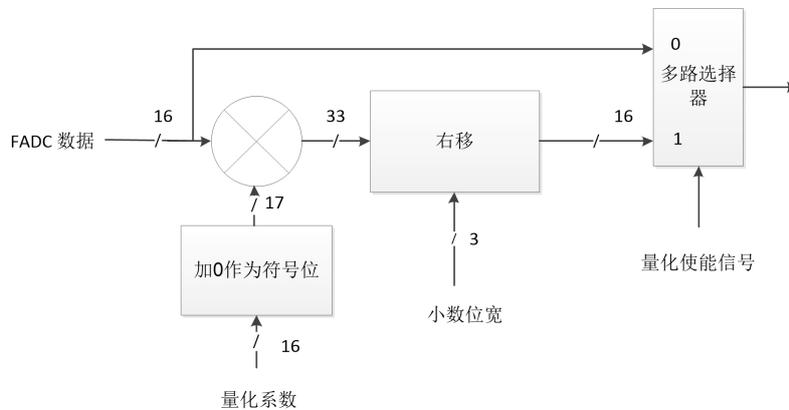


图 2-7 数据重量化框图

2.3 模拟输入和数据输出的转换

如果模拟输入的范围是 $-V_{ref} \sim V_{ref}$ ，那么模拟输入和数字输出的关系遵循下列公式：

$$V_{in} = D_{out} * \frac{V_{ref}}{2^{N-1}}$$

默认 N=16。

如果模拟输入的范围是 $0 \sim 2V_{ref}$ ，那么模拟输入和数字输出的关系遵循以下公式：

$$V_{in} = (D_{out} + 2^{N-1}) * \frac{V_{ref}}{2^{N-1}}$$

默认 N=16。

2.4 模拟电路的上电顺序

上电顺序	使能信号	延时 (秒)
1	芯片上电后等待 DVDD 稳定	100m
2	ana_biasen =1; ana_buffen =1	10m
3	ana_vcmiaen =1; ana_vcmiben =1;	10m
4	ana_ens2da[6:0]=7'bxxxxxxx; ana_ens2db[6:0]=7'bxxxxxxx (根据需求选择使能某几个通路的 S2D 模块)	2m

2 FSARADC

5	ana_ensha =1; ana_enshb =1	2m
6	ana_cmpbsen =1	100u
7	ana_cmpen =1	1m
8	ana_adcen =1	

2.5 FSARADC 性能参数

AVDD=3.3V, 温度=27°输入信号为 0.3~2.7V。内置 ADC 基本电路, VREFP= 1.5V, VREFN=0V, VCM=1.5V

参数	测试环境	最小值	类型	最大值	单位
采样频率				3.69	MHz
信号频率	SNDR>=62dB			400	KHz
分辨率			12		Bits
积分非线性		-2		2	LSB
微分非线性		-0.5		0.6	LSB
增益误差		-0.27		0.27	%FS
偏移误差	校准后	-6	±1	6	LSB
信噪比和失真	Fin<400KHz, Fsmax=3.69 MHz	62.2			dB

2.6 操作步骤

(1) 模拟电路初始化:

- 配置 FADCSFRANACON1 寄存器: 配置 ana_ens2da, ana_ensha=1, ana_vcmiaen=1; 配置 ana_ensadb, ana_enshb=1, ana_vcmiben=1;
- 配置 FADCSFRANACON0 寄存器: 配置 ana_ctrl_sel=1, ana_cmpbsen=1, ana_trim=0, ana_cmpen=1, ana_buffen=1, ana_biasen=1, ana_adcen=1;

(2) SOC 控制:

- 配置每路 SOC 的 S/H 窗口: 配置 FADCSFRSOCCONx(x=0...7)中的 smp_winx[6:0] (x=0 或 1);
- 设置寄存器选择每路 SOC 的触发源: FADCSFRSOCCONx(x=0...7)中的 trisel[3:0] 或 fc_tri (FADCSFRSOCFLAG[31:16]) 或 FADCSFRSOCTIMER x(n=0...15)寄存器;
- 设置每路 SOC 的模拟输入: FADCSFRSOCCONx(x=0...7)中的 chsel[3:0] ;
- 配置每路 SOC 的 FADCSFRSOCCON8 寄存器的下列位: soc_hpri, simulen;

(3) 配置校准:

- 配置 FADCSFRWCOEFF0 ~ FADCSFRWCOEFF15 寄存器;
- 配置 FADCSFRCALIB0 寄存器: CALIB_WMODE=1;
- 配置 FADCSFRCALIB1 寄存器: CALIB_NORM_OUTSEL=0;

2 FSARADC

- (4) 配置 DMA:
- DMA 首地址: 配置 FADCDMAADDR0~FADCDMAADDR15 寄存器;
 - DMA FIFO 长度: 配置 FADCDMALEN0~FADCDMALEN15 寄存器;
- (5) 配置中断: FADCINT0 和 FADCINT1 寄存器
- (6) 配置数据后处理: FADCPPROC0CONx(x=0...15)和 FADCPPROC1CONx(x=0...15) 寄存器。
- (7) 使能 FSARADC: m_en (FADCSFRADCCON0[0]) 置 1, fadc_en (FADCCON0[0])。
- (8) 配置每路 SOC 的 FADCSFRSOCCON8 寄存器, 使能触发: trien (FADCSFRSOCCON8[])
- (9) 等待中断或标志位置 1, 从 FADCRES0-FADCRES7 或 DMA FIFO 处获取转换的数据。
- (10) 清除相关的标志位, 返回 (9) 并等待其他结果。

2.7 寄存器介绍

本模块的寄存器分为两大部分: 系统时钟域寄存器和 FADC 高速时钟域寄存器。

2.7.1 系统时钟域寄存器

- (1) 可以通过寄存器地址直接访问。
- (2) FADCCON0 ~ FADCRES7 为系统时钟域寄存器。

2-1 FADCCON0

地址偏移: 0x0000

Bit	名称	复位值	读/写	功能
31:1	保留	31'b0	RO	保留。
0	fadc_en	0	RW	系统时钟域相关功能使能位。 0: 关闭 1: 启动

2-2 FADCACSCON

地址偏移: 0x0004

Bit	名称	复位值	读/写	功能
31:8	保留	24'b0	RO	保留。
7:2	acs_addr	6'b0	RW	FSARADC 高速时钟域 SFR 地址。因为系统时钟域和高速时钟域是异步时钟域, 需要使用握手协议进行同步。
1	acs_rw	0	RW	FSARADC 高速时钟域 SFR 读/写选择位。 0: 读操作 1: 写操作
0	acs_on	0	RO	读写操作状态位。 0: 基于握手的读写操作已完成 1: 基于握手的读写操作未完成

2 FSARADC
2-3 FADCACSDAT

地址偏移: 0x0008

Bit	名称	复位值	读/写	功能
31:0	acs_data	32'b0	RW	根据 FADCACSCON 寄存器中的 ads_addr 值对指定寄存器进行读或写。 R: 返回指定 SFR 中的值 W: 向指定的 SFR 写入数据

2-4 FADCINT0

地址偏移: 0x000c

Bit	名称	复位值	读/写	功能
31:16	保留	16'b0	RO	保留。
15:0	smp_done_int_en	16'b0	RW	中断使能位。如果打开中断使能，当 SOC0~SOC15 的一次转换结束，将产生相应的中断。 0: 关闭 1: 启动 bit15: SOC15 bit14: SOC14 ... bit2: SOC2 bit1: SOC1 bit0: SOC0

2-5 FADCINT1

地址偏移: 0x0010

Bit	名称	复位值	读/写	功能
31:16	dmafull_int_en	16'b0	RW	中断使能位。如果打开中断使能，当 SOC0~15 的 DMA FIFO 满时将发生中断。 0: 关闭 1: 启动 bit31: SOC15 bit 30: SOC14 ... bit 17: SOC1 bit 16: SOC0
15:0	dmahalf_int_en	16'b0	RW	中断使能位。如果打开中断使能，当 SOC0~15 的 DMA FIFO 半满时将发生中断。 0: 关闭 1: 启动 bit15: SOC15 bit14: SOC14 ... bit2: SOC2

2 FSARADC

				bit1: SOC1 bit0: SOC0
--	--	--	--	--------------------------

2-6 FADC SMPFLAG

地址偏移: 0x0014

Bit	名称	复位值	读/写	功能
31:16	clr_smp_done_flag	16'b0	RO	清除 SOC0~15 的 smp_done_flag (FADC SMPFLAG[15:0])。向 clr_smp_done_flag[15:0] 的相应位写 1 将清除 smp_done_flag[15:0] 中相应的转换完成标志。 bit31: SOC15 bit30: SOC14 ... bit17: SOC1 bit16: SOC0
15:0	smp_done_flag	16'b0	RO	单路 SOC 的一次采样转换完成标志位。SOC0~15 触发的转换完成后相应的标志位会置 1。 bit15: SOC15 bit14: SOC14 ... bit2: SOC2 bit1: SOC1 bit0: SOC0

2-7 FADC DMAFLAG0

地址偏移: 0x0018

Bit	名称	复位值	读/写	功能
31:16	clr_dma_half_flag	16'b0	RO	清除 SOC0~15 的 dma_half_flag。向 clr_dma_half_flag[15:0] 中相应位写入 1 将使 SOC0~15 相应的触发转换完成标志清 0。 bit31: SOC15 bit30: SOC14 ... bit17: SOC1 bit16: SOC0
15:0	dma_half_flag	16'b0	RO	SOC0~15 触发的 DMA FIFO 半满时产生的中断标志位。DMA FIFO 的大小由 FADC DMALENn 寄存器决定。 0: DMA FIFO 未达到半满 1: DMA FIFO 已半满 bit15: SOC15 bit14: SOC14 ...

2 FSARADC

				bit2: SOC2 bit1: SOC1 bit0: SOC0
--	--	--	--	--

2-8 FADCDMAFLAG1

地址偏移: 0x001c

Bit	名称	复位值	读/写	功能
31:16	clr_dma_full_flag	16'b0	WO	清除 SOC0~15 的 dma_full_flag。向 clr_dma_full_flag[15:0]相应位写 1 将清除相应的中断标志。 bit31: SOC15 bit30: SOC14 ... bit17: SOC1 bit16: SOC0
15:0	dma_full_flag	16'b0	RO	SOC0~15 触发的 DMA FIFO 全满的标志位。FIFO 的大小由 FADCDMALENn 寄存器决定。 0: DMA FIFO 未满 1: DMA FIFO 已全满 bit15: SOC15 bit14: SOC14 ... bit2: SOC2 bit1: SOC1 bit0: SOC0

2-9 FADCDMAADDR0 ~ FADCDMAADDR15

地址偏移: 0x0020 - 0x005c

Bit	名称	复位值	读/写	功能
31:0	dma_staddr	32'b0	RW	在此位配置 SOC 0~15 DMA FIFO 的首地址。

2-10 FADCDMALEN0 - FADCDMALEN15

地址偏移: 0x0060 - 0x009c

Bit	名称	复位值	读/写	功能
31:14	保留	18'b0	RO	保留。
13	dma_en	0	RW	SOCn(n=0~15)的 DMA 模式使能位。 0: 启动 1: 关闭
12:0	dma_len	13'b0	RW	在此位配置 SOC n(n=0~15) 的 DMA FIFO 的长度。

2-11 FADCPPROC0CON0 - FADCPPROC0CON15

地址偏移: 0x00a0-0x00dc

Bit	名称	复位值	读/写	功能
31:18	保留	14'b0	RO	保留。
17:6	dc_offset	12'b0	RW	SOCn(n=0~15)去直流的直流偏置值。转换后的

2 FSARADC

				数据将会减去该位的值，从而完成去直流操作。
5:3	downsample_sel	000	RW	下采样选择位。 0: 不发生下采样 1: 2x 抽取 2: 3x 抽取 ... 7: 8x 抽取
2:1	average_sel	00	RW	对每路 SOC 的数据求平均的选择位。 0: 对 2 个采样点求平均 1: 对 4 个采样点求平均 2: 对 8 个采样点求平均 3: 保留
0	average_en	0	RW	对每路 SOC 的数据求平均的使能控制位。 0: 关闭求平均 1: 开启求平均

2-12 FADCPPROC1CON0 - FADCPPROC1CON15

地址偏移: 0x00e0~0x012c

Bit	名称	复位值	读/写	功能
31:20	保留	12'b0	RO	保留。
19:4	quantify_coef	16'b0	RW	SOCn (n=0..15) 的 ADC 量化系数
3:1	decimal_width	000	RW	SOC0~15 的量化位宽选择位。当 quantify_en=1 时，转换的输出数据将乘以 quantify_coef() 中配置的系数。此位用于控制乘法结果的右移数。 此位有 2 种用法： (1) 根据 quantify_coef 的不同 Qm.n 格式，控制乘法结果的右移数以得到正确的输出。 (2) 将 quantify_coef 固定为 0x8000 (格式为 UQ1.15)，不同的右移位表示输出的缩放比例不同。 0: 右移 15 位 1: 右移 14 bit ... 7: 右移 8 bit
0	quantify_en	0	RW	FADC 数据重量化使能控制位。 0: 关闭 1: 启动

2 FSARADC
2-13 FADCRES0- FADCRES7

地址偏移: 0x0120-0x013c

Bit	名称	复位值	读/写	功能
31:16	res1	16'b0	RO	在非 DMA 模式下保存 SOC 2N+1 的转换结果。
15:0	res0	16'b0	RO	在非 DMA 模式下保存 SOC 2N 的转换结果。

2.7.2 高速时钟域寄存器
2-14 FADCSFRADCCON0

地址偏移: 0x0002

Bit	名称	复位值	读/写	功能
31:30	保留	00	RW	不可更改此值。
29:26	保留	0000	RO	保留。
25	datinv_en	0	RW	偏移二进制数据反转使能位。 0: 不使能 1: 使能
24	datfmt_sel	0	RW	FSARADC 的数据格式选择位。 0: 二进制补码 1: 偏移二进制
23:17	soc_ondly_time	7'h19	RW	SOC 触发和启动转换之间的延时控制位, 单位为 FSARADC 高速时钟周期。
16:11	convt_time	6'h13	RW	FSARADC 一次数据转换的时间(不包括采样保持), 单位是 FSARADC 高速时钟周期。公式如下: 转换时间= Tadc_clk*(convt_time+1).
10:6	stable_time	5'h19	RW	FSARADC 启动到正常操作的稳定时间控制位。公式如下: 稳定时间 =Tadc_clk*(convt_time+1).
5:2	polling_slotcon	0000	RW	轮询模式下时隙数的设置。
1	polling_mode	0	RW	轮询模式使能位。该功能不对客户开放。 0: 关闭 1: 启动
0	m_en	0	RW	FSARADC 高速时钟域的数字部分使能控制位。 0: 关闭 1: 启动

2-15 FADCSFRSOCCONn(n=0...7)

地址偏移: 0x0003~0x00b5

Bit	名称	复位值	读/写	功能
31	保留	0	RO	保留。
30:27	trisel1	0000	RW	SOC2n+1 的硬件触发源控制位。
26:20	smp_win1	7'h4	RW	不可更改此值。
19:16	chsel1	0000	RW	SOC2n+1 的模拟通道选择位。 0: A0 1: A1

2 FSARADC

				2: A2 ... 7: A7 8: B0 9: B1 ... 14: B6 15: B7
15	保留	0	RO	保留。
14:11	trisel0	0000	RW	SOC2n 的硬件触发源控制位。
10:4	smp_win0	7'h4	RW	不可更改此值。
3:0	chsel0	0000	RW	SOC2n 的模拟通道选择位。 0: A0 1: A1 2: A2 ... 7: A7 8: B0 9: B1 ... 14: B6 15: B7

2-16 FADCSFRSOCCON8

地址偏移: 0x000b

Bit	名称	复位值	读/写	功能
31:29	保留	000	RO	保留。
28:24	soc_hpri	5'b0	RW	SOC 高优先级设置。
23:16	simulen	8'b0	RW	成对的 SOC (SOC2n 和 SOC2n+1) 同步采样使能位。 0: 关闭 1: 启动
15:0	tri_en	16'b0	RW	SOCn 的触发源使能总选择位。 0: 关闭 1: 启动

2 FSARADC
2-17 FADCSFRSQCFLAG

地址偏移: 0x000c

Bit	名称	复位值	读/写	功能
31:16	fc_tri	16'b0	RW	SOCn 的软件触发控制位。
15:0	soc_tri	16'b0	RO	SOCn 已触发但转换未完成的标志位。 0: 转换已完成 1: 转换未完成

2-18 FADCSFRSQCQVFL

地址偏移: 0x000d

Bit	名称	复位值	读/写	功能
31:16	clr_soc_ovf	16'b0	RW	soc_ovf 标志清除控制位, 1 位代表 1 路 SOC。写 1 清除。
15:0	soc_ovf	16'b0	RO	SOC 触发溢出标志位。对于同一个 SOC, 当上一个触发没有处理完, 这时又来一个触发信号, 将导致丢失一次转换数据。当出现这种情况时, 此位将被置 1, 每一 bit 代表一路 SOC, 共有 16 位。 0: 不发生溢出 1: 发生溢出

2-19 FADCSFRSQCTIMERn(n=0...15)

地址偏移: 0x0020~0x005c

Bit	名称	复位值	读/写	功能
31:19	保留	13'b0	RO	保留。
18	timer_en	0	RW	计数器使能位。
17:0	timer	18'b0	RW	此为生成 SOC 触发源的计数器。当计数溢出后, 产生一个触发 SOC 转换的脉冲信号。

3 历史

版本号	日期	说明
V1.0	2019/04/18	Official version
V2.0	2019/05/06	和 SDK 比对，删改模拟、测试的寄存器位
V2.1	2019/11/25	修改 SARADC 的 SARADC_PENDING0/1/2 寄存器的 13:0 位位名